

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

THIS PAGE BLANK (USPTO)

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-164852

(43)Date of publication of application : 16.06.2000

(51)Int.Cl.

H01L 29/778

H01L 21/338

H01L 29/812

(21)Application number : 10-334121

(71)Applicant : HITACHI CABLE LTD

(22)Date of filing : 25.11.1998

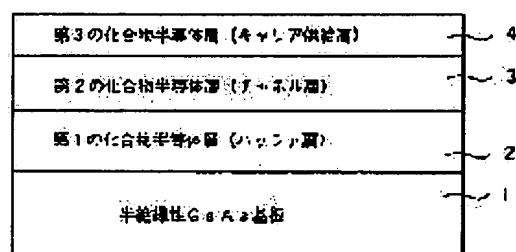
(72)Inventor : TSUCHIYA TADAITSU

(54) GALLIUM-INDIUM-NITRIDE-ARSENIDE BASED EPITAXIAL WAFER AND HIGH ELECTRON MOBILITY TRANSISTOR USING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To realize GaInNAs-based HEMT(high electron mobility transistor) on a GaAs wafer to obtain a high performance HEMT capable of providing low-noise amplification.

SOLUTION: An epitaxial wafer comprises a gallium arsenide wafer 1 with its surface laminated in order of precedence by a buffer layer 2, a channel layer 3 having electron affinity higher than that of the buffer layer 2, and a carrier-providing layer 4 having electron affinity lower than that of the channel layer 3. The carrier-providing layer 4 is doped by a donor impurity and the channel layer 3 is constituted of a compound semiconductor comprising one of aluminum, gallium, or indium, or all of them, and either arsenic or phosphorus or both of them, and nitrogen.



・電子親和力 : チャネル層3>バッファ層2
 バッファ層2>キャリア層4
 ・チャンネル層3: GaInNAs, GaInNP等

LEGAL STATUS

[Date of request for examination] 20.12.2002

[Date of sending the examiner's decision of rejection] 06.01.2004

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-164852
(P2000-164852A)

(43) 公開日 平成12年6月16日 (2000.6.16)

(51) Int.Cl. ⁷	識別記号	F I	テームコード* (参考)
H 0 1 L 29/778		H 0 1 L 29/80	H 5 F 1 0 2
21/338			
29/812			

審査請求 未請求 請求項の数13 O L (全 11 頁)

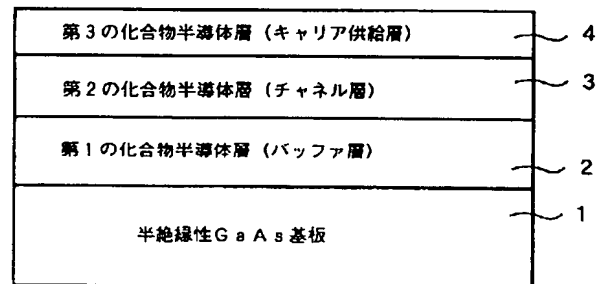
(21) 出願番号	特願平10-334121	(71) 出願人	000005120 日立電線株式会社 東京都千代田区大手町一丁目6番1号
(22) 出願日	平成10年11月25日 (1998. 11. 25)	(72) 発明者	土屋 忠蔵 茨城県土浦市木田余町3550番地 日立電線 株式会社アドバンスリサーチセンタ内
		(74) 代理人	100100240 弁理士 松本 孝 Fターム (参考) 5F102 GB01 GC01 GD01 GJ05 GK05 GK06 GL04 GL08 GL09 GM04 GM06 GM08 GQ01 GR01 HC01

(54) 【発明の名称】 窒化砒化ガリウムインジウム系エピタキシャルウェハ及びそれを用いた高電子移動度トランジスタ

(57) 【要約】

【課題】 GaAs 基板上に GaInNAs 系 HEMT を実現し、より低雑音増幅が可能な高性能の HEMT を得ることにある。

【解決手段】 砒化ガリウム基板 1 上にバッファ層 2、該バッファ層 2 より電子親和力の大きなチャネル層 3、該チャネル層 3 より電子親和力の小さなキャリア供給層 4 を順次積層し、該キャリア供給層 4 にドナー不純物をドーピングしている積層構造において、前記チャネル層 3 が、アルミニウム、ガリウム、インジウムのいずれか、又は全てと、砒素、リンのいずれか又は両方と、窒素とからなる化合物半導体である構成とする。



- ・電子親和力 : チャネル層 3 > バッファ層 2
チャネル層 3 > キャリア供給層 4
- ・チャネル層 3 : GaInNAs, GaInNP 等

【特許請求の範囲】

【請求項 1】砒化ガリウム基板 (1) 上に第 1 の化合物半導体層 (2)、該半導体層 (2) より電子親和力の大きな第 2 の化合物半導体層 (3)、該第 2 の化合物半導体層 (3) より電子親和力の小さな第 3 の化合物半導体層 (4) を順次積層し、該第 3 の化合物半導体層 (4) にドナー不純物をドーピングしている積層構造において、前記第 2 の化合物半導体がアルミニウム、ガリウム、インジウムのいずれか、又は全てと、砒素、リンのいずれか又は両方と、窒素とからなる化合物半導体であることを特徴とする窒化砒化ガリウムインジウム系エピタキシャルウェハ。

【請求項 2】請求項 1 記載の窒化砒化ガリウムインジウム系エピタキシャルウェハにおいて、前記第 2 の化合物半導体層 (3) と前記第 3 の化合物半導体層 (4) との間に、該第 3 の半導体層 (4) より電子親和力が大きく、且つ高純度な第 4 の化合物半導体層 (5) を有する積層構造を特徴とする窒化砒化ガリウムインジウム系エピタキシャルウェハ。

【請求項 3】請求項 1 記載の窒化砒化ガリウムインジウム系エピタキシャルウェハにおいて、前記第 2 の化合物半導体層 (3) と前記第 3 の化合物半導体層 (4) との間に、第 2 の半導体層 (3) より電子親和力が小さく、且つ高純度な第 5 の化合物半導体層 (6) を有する積層構造を特徴とする窒化砒化ガリウムインジウム系エピタキシャルウェハ。

【請求項 4】請求項 2 記載の窒化砒化ガリウムインジウム系エピタキシャルウェハにおいて、前記第 4 の化合物半導体層 (5) と前記第 3 の化合物半導体層 (4) との間に、前記第 2 の化合物半導体層 (3) より電子親和力が小さく、且つ高純度な第 5 の化合物半導体層 (6) を有することを特徴とする窒化砒化ガリウムインジウム系エピタキシャルウェハ。

【請求項 5】請求項 1 記載の窒化砒化ガリウムインジウム系エピタキシャルウェハにおいて、前記第 1 の化合物半導体層 (2) と第 2 の化合物半導体層 (3) との間に高純度の第 6 の化合物半導体層 (7) を有する積層構造を特徴とする窒化砒化ガリウムインジウム系エピタキシャルウェハ。

【請求項 6】請求項 1 記載の窒化砒化ガリウムインジウム系エピタキシャルウェハにおいて、前記第 2 の化合物半導体層 (3) と前記第 3 の化合物半導体層 (4) との間に、前記第 2 の化合物半導体層 (3) より電子親和力が小さく、且つ高純度な第 5 の化合物半導体層 (6) を有し、また、前記第 1 の化合物半導体層 (2) と第 2 の化合物半導体層 (3) との間に高純度の第 6 の化合物半導体層 (7) を有する積層構造を特徴とする窒化砒化ガリウムインジウム系エピタキシャルウェハ。

【請求項 7】請求項 1、2、3、4、5 又は 6 記載の窒化砒化ガリウムインジウム系エピタキシャルウェハにお

いて、前記第 2 の化合物半導体層 (3) が砒化ガリウムに格子整合、もしくは圧縮歪み、もしくは引張り歪みを導入してスードモフィック状態で歪んでいる状態であることを特徴とする窒化砒化ガリウムインジウム系エピタキシャルウェハ。

【請求項 8】請求項 1、2、3、4、5、6 又は 7 記載の窒化砒化ガリウムインジウム系エピタキシャルウェハにおいて、前記第 3 の化合物半導体層 (4) が砒化アルミニウムガリウムであることを特徴とする窒化砒化ガリウムインジウム系エピタキシャルウェハ。

【請求項 9】請求項 1、2、3、4、5、6 又は 7 記載の窒化砒化ガリウムインジウム系エピタキシャルウェハにおいて、前記第 3 の化合物半導体層 (4) がリン化インジウムガリウムであることを特徴とする窒化砒化ガリウムインジウム系エピタキシャルウェハ。

【請求項 10】請求項 1、2、3、4、5、6 又は 7 記載の窒化砒化ガリウムインジウム系エピタキシャルウェハにおいて、前記第 3 の化合物半導体層 (4) 及び前記第 5 の化合物半導体層 (6) が、アルミニウム、ガリウム、インジウムのいずれか、又は全てと、砒素、リンのいずれか又は両方と、窒素とからなり、第 2 の化合物半導体よりも電子親和力が小さい化合物半導体であることを特徴とする窒化砒化ガリウムインジウム系エピタキシャルウェハ。

【請求項 11】請求項 1、3、4、5 又は 7 記載の窒化砒化ガリウムインジウム系エピタキシャルウェハにおいて、前記第 3 の化合物半導体層 (4) がリン化インジウムガリウムであり、前記第 2 の化合物半導体層 (3) がアルミニウム、ガリウム、インジウムのいずれか、又は全てと、リン、窒素とからなることを特徴とする窒化砒化ガリウムインジウム系エピタキシャルウェハ。

【請求項 12】請求項 2 記載の窒化砒化ガリウムインジウム系エピタキシャルウェハにおいて、前記第 4 の化合物半導体層 (5) が砒化インジウム混晶比で 25% 以上の砒化インジウム・ガリウムであることを特徴とする窒化砒化ガリウムインジウム系エピタキシャルウェハ。

【請求項 13】請求項 1、2、3、4、5、6、7、8、9、10、11 又は 12 記載の窒化砒化ガリウムインジウム系エピタキシャルウェハを用いて製造したことを特徴とする高電子移動度トランジスタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、窒化砒化ガリウムインジウム系エピタキシャルウェハ及びそれを用いた高電子移動度トランジスタ (HEMT)、特に低雑音増幅用として適した電界効果型高電子移動度トランジスタに関するものである。

【0002】

【従来の技術】高電子移動度トランジスタ HEMT は、2 次元電子ガス (2DEG) を利用する素子であり、へ

テロ構造を有した化合物半導体素子である。従来のHEMTの構造は、例えば図11(a)、(b)に示すように、半絶縁性GaAs基板に歪InGaAs量子井戸層をチャンネル層とする歪格子(Pseudomorphic)HEMT(PHEMT)構造である。図11(a)はAlGaAs系HEMTのものであり、半絶縁性GaAs基板41上に膜厚0.5μmのアンドープGaAsバッファ層42を設け、その上にスードモフィック(Pseudomorphic)状態でアンドープInGaAsチャンネル層43を設け、さらにその上に膜厚2nmのアンドープAlGaAsスペーサ層46を介して、膜厚50nmのn型AlGaAsキャリア供給層44を設けている。また、図11

(b)はGaInP系HEMTのものであり、アンドープGaAsバッファ層42の上にスードモフィック状態でアンドープInGaAsチャンネル層43を設け、さらにその上に膜厚2nmのアンドープGaInPのスペーサ層56を介して、膜厚40nmのn型AlGaAsのキャリア供給層54を設けている。

【0003】HEMTを特徴づける2次元電子ガス(2DEG)は、アンドープInGaAsチャンネル層23中に溜まり、このチャンネル層23に溜まる電子の濃度とその移動度によって、HEMTデバイスの増幅率や、雑音特性といった主要な性能が大きく変わる。一般的には、電子の濃度が高く、その移動度が高い程性能は向上する。スードモフィックは、チャンネル層中の電子の移動度を高める手法の1つであり、GaAsとInGaAsというように、格子定数の異なる2種類の半導体が、その界面において面内の格子定数が整合するように歪んで接合した状態に対して使用される語である。成長膜厚が臨界膜厚より薄い場合、格子定数が異なっても格子が歪むことによって、界面に転位が生じない接合が得られる。格子が歪んで界面で格子欠陥が生じないような状態をスードモフィック状態と呼ぶ。

【0004】なお、スペーサ層は電子がイオン化したドナーによる散乱を受けないようにして、2次元電子の移動度を高めるために設けられている。一般に2次元電子の移動度は、スペーサ層の厚さに伴い増大することが知られている。

【0005】上記のPHEMTのように、チャンネル層の上にスペーサ層及びキャリア供給層が順次に設けられている構造のHEMTは、通常、順構造型HEMTと呼ばれている。この他に、チャンネル層の下にキャリア供給層が設けられた構造の逆構造型HEMTや、チャンネル層の上下にキャリア供給層が設けられた構造のダブルヘテロ型HEMT(DHHEMT)等が知られている。一般に逆構造型HEMTはピンチオフ特性が優れており、ダブルヘテロ型HEMTはキャリアの密度が高いから高出力用に向いている。

【0006】デバイスの特性を向上させるためには、2DEGの濃度を高くする。一般に2DEGの濃度を高く

することにより、デバイスの相互コンダクタンス g_m を上げ、NF(雑音指数)を下げることができる。そのための方法として、キャリア供給層のAl組成比を上げてヘテロ接合界面に形成される量子井戸への電子の落ち込みを多くする。

【0007】従来、砒化ガリウム(GaAs)基板上に形成されるHEMTでは、図11に示す多層にエピタキシャル層を積層した構造のエピタキシャルウェハが用いられる。このとき通常、半導体内のフェルミ準位を制御するために設けられるキャリア供給層としては、砒化アルミニウム(AlAs)混晶比が20~28%の砒化アルミニウム・ガリウム(AlGaAs)が用いられ、2次元電子ガス(2DEG)が形成されてキャリアが走行するチャンネル層には、砒化インジウム(InAs)混晶比が15~25%の砒化インジウム・ガリウム(InGaAs)が使用される。

【0008】

【発明が解決しようとする課題】しかしながら、従来技術には次のような問題点がある。

【0009】従来では、チャンネル層の2DEGの特性を改善するために、本来はGaAsとは格子が整合しないInGaAsを歪んだ状態であえて使用している。これは、InGaAsの方がGaAsよりも電子親和力が強く、高濃度の2DEGが形成できるからである。しかし、内在する歪みのため、InGaAsの厚さが厚くなると歪みエネルギーが増加し、物質固有の強度を越えると、結晶が歪み応力に耐えられなくなり、塑性変形する。この時の最大厚さは、臨界膜厚と呼ばれる。塑性変形を起こすと、結晶格子の配列が乱れ、乱れた部分の電子状態が変わる。電子の捕獲準位ができてフェルミ準位の位置が深くなり、2DEG濃度が低下したり、空間電荷ができて走行する電子が散乱を受け、電子の移動度が低下する。これにより作製したHEMTの利得が低下し、実用上問題となる。従って、通常はInGaAsは臨界膜厚以下の厚さで使用される。

【0010】更に、HEMTの特性を向上するため、InGaAs層のInAs混晶比を増し、InGaAs層に形成される2次元電子ガス濃度を増したい。けれども、臨界膜厚が更に薄くなって、十分な2DEGを形成する最低必要な膜厚を維持できない。結果的に、InAs混晶比を増す方法では、2DEG濃度を増加させることができず、特性向上に結びつかない。

【0011】また、高特性のHEMTとして、リン化インジウム(InP)上に形成したn型砒化インジウム・アルミニウム(n-InAlAs)とInGaAsからなるHEMTがある。こちらはInGaAsのInAs混晶比が50~60%と高く、優れた特性を実現している。しかし、InAlAsに起因するデバイス製作上の問題点が数多く残っており、InP基板の価格も高いために、GaAs基板上のHEMTの高性能化した代替品

として普及する用途は立っていない。

【0012】そこで、本発明の目的は、上記課題を解決し、GaAs基板上にGaInNAs系HEMTを実現し、より低雑音増幅が可能な高性能のHEMTを得ることができる窒化砒化ガリウムインジウム系エピタキシャルウェハ及びそれを用いた高電子移動度トランジスタ(HEMT)を提供することにある。

【0013】低雑音増幅用電界効果型高電子移動度トランジスタ(HEMT)のうちでも、特に窒化砒化ガリウム・インジウム(GaInNAs)系エピタキシャルウェハを用いたHEMTは、従来のPHEMTやDHHEMTの特性を大幅に向上できる可能性を秘めている。

【0014】

【課題を解決するための手段】上記目的を達成するため、本発明は、次のように構成したものである。

【0015】(1)請求項1記載の窒化砒化ガリウムインジウム系エピタキシャルウェハは、砒化ガリウム基板

(1)上に第1の化合物半導体層(2)、該半導体層

(2)より電子親和力の大きな第2の化合物半導体層

(3)、該第2の化合物半導体層(3)より電子親和力の小さな第3の化合物半導体層(4)を順次積層し、該第3の化合物半導体層(4)にドナー不純物をドーピングしている積層構造において、前記第2の化合物半導体がアルミニウム、ガリウム、インジウムのいずれか、又は全てと、砒素、リンのいずれか又は両方と、窒素とからなる化合物半導体であることを特徴とする。

【0016】(2)請求項2記載の窒化砒化ガリウムインジウム系エピタキシャルウェハは、請求項1記載の窒化砒化ガリウムインジウム系エピタキシャルウェハにおいて、前記第2の化合物半導体層(3)と前記第3の化合物半導体層(4)との間に、該第3の半導体層(4)より電子親和力が大きく、且つ高純度な第4の化合物半導体層(5)を有する積層構造を特徴とする。

【0017】(3)請求項3記載の窒化砒化ガリウムインジウム系エピタキシャルウェハは、請求項1記載の窒化砒化ガリウムインジウム系エピタキシャルウェハにおいて、前記第2の化合物半導体層(3)と前記第3の化合物半導体層(4)との間に、第2の半導体層(3)より電子親和力が小さく、且つ高純度な第5の化合物半導体層(6)を有する積層構造を特徴とする。

【0018】(4)請求項4記載の窒化砒化ガリウムインジウム系エピタキシャルウェハは、請求項2記載の窒化砒化ガリウムインジウム系エピタキシャルウェハにおいて、前記第4の化合物半導体層(5)と前記第3の化合物半導体層(4)との間に、前記第2の化合物半導体層(3)より電子親和力が小さく、且つ高純度な第5の化合物半導体層(6)を有することを特徴とする。

【0019】(5)請求項5記載の窒化砒化ガリウムインジウム系エピタキシャルウェハは、請求項1記載の窒化砒化ガリウムインジウム系エピタキシャルウェハにお

いて、前記第1の化合物半導体層(2)と第2の化合物半導体層(3)との間に高純度の第6の化合物半導体層(7)を有する積層構造を特徴とする。

【0020】(6)請求項6記載の窒化砒化ガリウムインジウム系エピタキシャルウェハは、請求項1記載の窒化砒化ガリウムインジウム系エピタキシャルウェハにおいて、前記第2の化合物半導体層(3)と前記第3の化合物半導体層(4)との間に、前記第2の化合物半導体層(3)より電子親和力が小さく、且つ高純度な第5の化合物半導体層(6)を有し、また、前記第1の化合物半導体層(2)と第2の化合物半導体層(3)との間に高純度の第6の化合物半導体層(7)を有する積層構造を特徴とする。

【0021】(7)請求項7記載の窒化砒化ガリウムインジウム系エピタキシャルウェハは、請求項1、2、3、4、5又は6記載の窒化砒化ガリウムインジウム系エピタキシャルウェハにおいて、前記第2の化合物半導体層(3)が砒化ガリウムに格子整合、もしくは圧縮歪み、もしくは引張り歪みを導入してスードモフィック状態で歪んでいる状態であることを特徴とする。

【0022】(8)請求項8記載の窒化砒化ガリウムインジウム系エピタキシャルウェハは、請求項1、2、3、4、5、6又は7記載の窒化砒化ガリウムインジウム系エピタキシャルウェハにおいて、前記第3の化合物半導体層(4)が砒化アルミニウムガリウムであることを特徴とする。

【0023】(9)請求項9記載の窒化砒化ガリウムインジウム系エピタキシャルウェハは、請求項1、2、3、4、5、6又は7記載の窒化砒化ガリウムインジウム系エピタキシャルウェハにおいて、前記第3の化合物半導体層(4)がリン化インジウムガリウムであることを特徴とする。

【0024】(10)請求項10記載の窒化砒化ガリウムインジウム系エピタキシャルウェハは、請求項1、2、3、4、5、6又は7記載の窒化砒化ガリウムインジウム系エピタキシャルウェハにおいて、前記第3の化合物半導体層(4)及び前記第5の化合物半導体層(6)が、アルミニウム、ガリウム、インジウムのいずれか、又は全てと、砒素、リンのいずれか又は両方と、窒素とからなり、第2の化合物半導体よりも電子親和力が小さい化合物半導体であることを特徴とする。

【0025】(11)請求項11記載の窒化砒化ガリウムインジウム系エピタキシャルウェハは、請求項1、3、4、5又は7記載の窒化砒化ガリウムインジウム系エピタキシャルウェハにおいて、前記第3の化合物半導体層(4)がリン化インジウムガリウムであり、前記第2の化合物半導体層(3)がアルミニウム、ガリウム、インジウムのいずれか、又は全てと、リン、窒素とからなることを特徴とする。

【0026】(12)請求項12記載の窒化砒化ガリウ

10

20

30

40

50

ムインジウム系エピタキシャルウェハは、請求項 2 記載の窒化砒化ガリウムインジウム系エピタキシャルウェハにおいて、前記第 4 の化合物半導体層 (5) が砒化インジウム混晶比で 25% 以上の砒化インジウム・ガリウムであることを特徴とする。

【0027】(13) 請求項 13 記載の高電子移動度トランジスタは、請求項 1、2、3、4、5、6、7、8、9、10、11 又は 12 記載の窒化砒化ガリウムインジウム系エピタキシャルウェハを用いて製造したことを特徴とする。

【0028】<発明の要点>本発明では、HEMT のチャネル層に窒化砒化ガリウム・インジウム (GaInNAs) を使用する。GaInNAs は窒化ガリウム (GaN) と、GaAs、InAs の混晶である。GaAs よりも格子定数の大きな InAs と小さな GaN を組み合わせることにより、混晶比を適切に選択することによって GaAs に格子整合させられることが大きな特徴である。

【0029】また、GaAs に格子整合する GaInNAs は、禁制帯幅が混晶比に対して非線形に変化し、その非線形性が他の化合物半導体と比べても著しい。これに伴って、電子親和力も大きく変化する。電子親和力が GaAs よりも大きくなる混晶比の範囲があることも大きな特徴である。

【0030】この特徴を生かすと、GaInNAs は GaAs 基板に格子整合させたまま、従来チャネル層に使用していた InGaAs と同等、あるいはそれ以上に電子親和力を増やせる。GaAs に格子整合しているので、膜厚も自由に設定可能となり、チャネル層の特性を向上できる。

【0031】また、GaInNAs に AlAs を加え、AlGaInNAs としたり、あるいは GaAs の代わりに GaAs と格子整合するリン化ガリウム・インジウム (GaInP) を使って、GaInNP にすることによって、更に自在な電子親和力が実現できる。

【0032】チャネル層の GaInNAs や InGaAs よりも電子親和力の小さな GaInNAs、AlGaInNAs、GaInNP 等を、キャリア供給層である AlGaAs 層や GaInP 層との間に挟むことによって、スペーサとしての機能を発揮できる。

【0033】更に、チャネル層の高純度 GaInNAs の上下に補助的なチャネル層として高純度 InGaAs 層を設けることにより、InGaAs の高電子移動度特性と組み合わせり、更に特性が向上できる。

【0034】

【発明の実施の形態】以下、本発明を請求項ごとに図示の実施形態に基づいて説明する。

【0035】図 1 は、請求項 1 に対応した本発明の GaInNAs 系エピタキシャルウェハの基本的構成を示したものである。

【0036】これは、半絶縁性 GaAs 基板 1 上に第 1 の化合物半導体層 2、該半導体層 2 より電子親和力の大きな第 2 の化合物半導体層 3、該第 2 の化合物半導体層 3 より電子親和力の小さな第 3 の化合物半導体層 4 を順次積層し、該第 3 の化合物半導体層 4 にドナー不純物をドーピングしている積層構造を持つものであり、前記第 2 の化合物半導体 3 は、アルミニウム、ガリウム、インジウムのいずれか、又は全てと、砒素、リンのいずれか又は両方と、窒素とからなる化合物半導体であることを特徴とする。

【0037】ここで、第 1 の化合物半導体 2 はバッファ層である。通常は GaAs あるいは AlGaAs 層が使用される。この第 1 の化合物半導体 (バッファ層) 2 は、本発明とは直接に関係しないので、材料も特に指定しない。

【0038】第 2 の化合物半導体層 3 はチャネル層である。この第 2 の化合物半導体層 (チャネル層) 3 は 2 次元電子ガス (2DEG) を形成するためにあるため、下の層 (バッファ層 2)、上の層 (キャリア供給層 4) よりも電子親和力が大きくなければならない。本発明の核心であり、第 2 の化合物半導体 3 として、GaInNAs をベースに AlGaInNAs、AlInNAs、InNAs が、GaInNP をベースに AlGaInNP、AlInNP、InNP が、更に全てが入った AlGaInNPAs が該当する。

【0039】第 3 の化合物半導体層 4 は、キャリア供給層である。この第 3 の化合物半導体層 (キャリア供給層) 4 は、チャネル層 3 に 2DEG を形成するために、フェルミ準位を制御する働きをする。第 3 の化合物半導体 (キャリア供給層) 4 は、第 2 の化合物半導体 (チャネル層) 3 よりも電子親和力が弱ければ何でも良い。この第 3 の化合物半導体 (キャリア供給層) 4 では、伝導電子帯にフェルミ準位を近づけるために、ドナー不純物をドーピングしてある。第 3 の化合物半導体 (キャリア供給層) 4 として、AlGaAs (請求項 8)、GaInP (請求項 9)、及び第 2 の化合物半導体 3 と同じ AlGaInNPAs 混晶系で混晶組成を変え、電子親和力を小さくしたもの (請求項 10) がある。

【0040】次に、図 2 は請求項 2 に対応した本発明の GaInNAs 系エピタキシャルウェハを示したものである。

【0041】請求項 2 では、補助的なチャネル層を規定している。即ち、図 1 の窒化砒化リウムインジウム系エピタキシャルウェハにおける第 2 の化合物半導体層 3 と第 3 の化合物半導体層 4 との間に、該第 3 の半導体層 4 より電子親和力が大きく、且つ高純度な第 4 の化合物半導体層 5 を有する積層構造である。

【0042】第 3 の化合物半導体層 (キャリア供給層) 4 より電子親和力の大きな第 4 の化合物半導体層 5 を、補助的なチャネル層として、第 2 の化合物半導体層

(チャネル層)との間に挿入し、この第4の化合物半導体層5には不純物を入れない。即ち、高純度で用いる。

【0043】この請求項2の窒化砒化ガリウムインジウム系エピタキシャルウェハにおいて、上記第4の化合物半導体層(補助的なチャネル層)5は、砒化インジウム混晶比で25%以上の砒化インジウム・ガリウムとするのがよい(請求項12)。

【0044】2DEGの形成では電子親和力と同様に電子移動度も重要であるが、残念ながらGaInNAsで高電子移動度を得るのは容易でない。これに対し、例えばチャネル層の一部に従来から実績があり、移動度も高いInGaAsを、更にInAs混晶比を増した形で半導体層5として補助的に挿入すれば、相乗効果で優れた2DEG特性が得られる(請求項12)。

【0045】図3、図4は、請求項3、4に対応した本発明のGaInNAs系エピタキシャルウェハを示したものである。

【0046】この請求項3、4では、スペーサ層を規定している。即ち、図3の如く第2の化合物半導体層(チャネル層)3と第3の化合物半導体層(キャリア供給層)4との間に、又は、図4の如く第4の化合物半導体層(補助的なチャネル層)5と第3の化合物半導体層(キャリア供給層)4との間に、第2の半導体層(チャネル層)3より電子親和力が小さく、且つ高純度な第5の化合物半導体層6を設ける。

【0047】半導体層(キャリア供給層)4と半導体層(チャネル層)3又は5の間に、第5の化合物半導体層(スペーサ層)6である。スペーサ層には電子の散乱を防ぐため、不純物を混入させない。スペーサ層である第5の化合物半導体層6は、チャネル層である第2の化合物半導体層3より電子親和力が小さくなければならないが、第2の半導体層3と同一の化合物半導体である必要はない。

【0048】図5は、請求項5に対応した本発明のGaInNAs系エピタキシャルウェハを示したものである。請求項5でも、請求項2と同様、補助的なチャネル層を規定している。

【0049】第1の化合物半導体(バッファ層)2と第2の化合物半導体層(チャネル層)3との間に、不純物を入れない高純度な第6の化合物半導体層7を挿入する。この第6の化合物半導体層(補助的なチャネル層)7の電子親和力が、チャネル層である第2の化合物半導体層3と同等か、もしくは、より大きい場合においては、請求項2と同様に、第2の化合物半導体層(チャネル層)3と一緒に2DEGの形成に寄与し、電子移動度を向上させる。一方、この第6の化合物半導体層7の電子親和力が、チャネル層である第2の化合物半導体層3より小さい場合においては、前述より効果は落ちるが、第2の化合物半導体層(チャネル層)3からトン

ネル効果によって波動関数が漏れ出す分に相当する電子の移動度は、この層7がない場合に比べて改善される。

【0050】図6は請求項6に対応した本発明のGaInNAs系エピタキシャルウェハを示したものである。請求項6では、スペーサ層と補助的なチャネル層とを規定している。即ち、第2の化合物半導体層3と第3の化合物半導体層4との間に、第2の半導体層3より電子親和力が小さく、且つ高純度な第5の化合物半導体層(スペーサ層)6を有し、また、第1の化合物半導体層2と第2の化合物半導体層3との間に高純度の第6の化合物半導体層(補助的なチャネル層)7を有する積層構造である。

【0051】第5の化合物半導体層(スペーサ層)6の作用効果は図3の場合と同じであり、電子がイオン化したドナーによる散乱を受けないようにして、2次元電子の移動度を高めるために設けられている。また、第6の化合物半導体層(補助的なチャネル層)7の作用効果は上述した図5の場合と同じである。

【0052】請求項7では、第2の化合物半導体層(チャネル層)3が歪み緩和していない状態で使用されることを規定している。

【0053】第2の化合物半導体層(チャネル層)3はある混晶組成でのみGaAsに格子整合するから、一般にはGaAsとは格子整合しない。このとき、臨界膜厚よりも厚く成長してしまうと、歪みは緩和し、従来からよく知られているように2DEG特性は低下する。従って、第2の化合物半導体層(チャネル層)3はGaAsに格子整合するか、しないまでも歪みを内在した状態、即ち、スードモフィック状態で形成されなくてはならない。

【0054】請求項11は、第2の化合物半導体層(チャネル層)3と第3の化合物半導体層(キャリア供給層)4のヘテロ接合が砒素系化合物とリン系化合物の接合を避けるための規定である。砒素系とリン系のヘテロ接合は急峻な組成制御が難しく、更に第2の化合物半導体層(チャネル層)3には窒素が含まれるため、その制御が困難になる。制御ができないと特性も出ない。そのため、両側をリン系とすれば、制御性が増し、特性を容易に安定化させられる。

【0055】請求項13は、請求項1、2、3、4、5、6、7、8、9、10、11又は12記載の窒化砒化ガリウムインジウム系エピタキシャルウェハを用いた高電子移動度トランジスタHEMTを特定したものである。このHEMTは、例えば図10に示す如く、砒化ガリウム基板1上に第1の化合物半導体層(バッファ層)2、該半導体層2より電子親和力の大きな第2の化合物半導体層(チャネル層)3、該第2の化合物半導体層3より電子親和力の小さな第3の化合物半導体層(キャリア供給層)4を順次積層し、第2の化合物半導体層(チャネル層)3と第3の化合物半導体層(キャリア供給

層) 4 との間に、第2の半導体層3より電子親和力が小さく、且つ高純度な第5の化合物半導体層(スペーサ層) 6 を有する積層構造ものとして構成される。8 はソース電極、9 はドレイン電極、10 はゲート電極である。

【0056】

【実施例】図7、図8、図9(a)～(f)に、本発明の実施例として窒化砒化ガリウムインジウム系エピタキシャルウェハの積層構造A～Fを示す。また図10には、図7(a)の窒化砒化ガリウムインジウム系エピタキシャルウェハを用いた場合の窒化砒化ガリウム・インジウム系高電子移動度トランジスタ(HEMT)の断面構造の一例を示す。

【0057】エピタキシャル膜の成長は有機金属気相エピタキシー法を用いた。キャリアガスは水素、窒素の混合ガス、原料はトリメチルガリウム、トリエチルガリウム、トリメチルインジウム、トリメチルアルミニウム、アルシン、フォスフィン、アンモニア、ジシランを使用した。成長圧力は約0.1気圧、成長温度は700℃とした。基板には半絶縁性GaAsを使用し、その面方位は(100)とした。

【0058】図7～図8(a)～(c)に示すエピタキシャルウェハは、既に述べた図3の積層構造において、スペーサ層6とキャリア供給層4の構成を変えたものである。

【0059】このうち、図7(a)の実施例Aに係るエピタキシャルウェハ(積層構造A)は、半絶縁性GaAs基板11上に0.5μmのアンドープGaAsバッファ層12を設け、このバッファ層12の上に、厚さ15nmのアンドープGaInNAsチャネル層13を形成した。その上に、膜厚2nmのアンドープAlGaAsスペーサ層16を介してn型のAlGaAsキャリア供給層14を厚さ50nm設け、HEMT構造エピタキシャルウェハを完成した。スペーサ層16とキャリア供給層14のAl組成は共に0.28である。

【0060】図7(b)の実施例Bに係るエピタキシャルウェハ(積層構造B)は、半絶縁性GaAs基板11上に0.5μmのアンドープGaAsバッファ層12と、厚さ15nmのアンドープGaInNAsチャネル層13を順次形成し、その上に、膜厚2nmのアンドープGa_{0.5}In_{0.48}Pスペーサ層26を介してn型のGa_{0.5}In_{0.48}Pキャリア供給層24を厚さ40nm設け、HEMT構造エピタキシャルウェハを完成した。

【0061】図8(c)の実施例Cに係るエピタキシャルウェハ(積層構造C)は、半絶縁性GaAs基板11上に0.5μmのアンドープGaAsバッファ層12と、厚さ15nmのアンドープGaInNAsチャネル層13を順次形成し、その上に、膜厚2nmのアンドープAlGaInNAsスペーサ層36を介してn型のAlGaInNAsキャリア供給層34を厚さ40nm設け、H

EMT構造エピタキシャルウェハを完成した。

【0062】図8(d)に示す実施例Dに係るエピタキシャルウェハ(積層構造D)は、図7(a)に示した積層構造において、アンドープGaInNAsチャネル層13とその上側のアンドープAlGaAsスペーサ層4との間に、厚さ5nmのアンドープIn_xGa_{1-x}As層15を補助的なチャネル層として挿入したものであり、図4に対応する実施例である。

【0063】同様に、図9(e)に示す実施例Eに係るエピタキシャルウェハ(積層構造E)は、図7(a)に示した積層構造において、アンドープGaInNAsチャネル層13とその下側のアンドープGaAsバッファ層12との間に、厚さ5nmのアンドープIn_{0.1}Ga_{0.9}As層17を補助的なチャネル層として挿入したものであり、図6に対応する実施例である。

【0064】図9(f)に示す実施例Fに係るエピタキシャルウェハ(積層構造F)は、図7(b)に示した積層構造におけるアンドープGaInNAsチャネル層13を、アンドープGaInNPチャネル層23に代えたものである。

【0065】これらのエピタキシャルウェハ(積層構造A～F)の2DEG特性を比較するため、室温においてC-V測定並びにHall測定を行った。100kHzでのC-V測定により、ヘテロ界面に現れる2DEGピークの最大キャリア濃度N_{peak}を測定した。ここで表記方法として、 $1 \times 10^{18} \text{ cm}^{-3}$ をE18で、 $1 \times 10^{19} \text{ cm}^{-3}$ をE19で、 $1 \times 10^{12} \text{ cm}^{-3}$ をE12で示した。この2DEGのN_{peak}は大きいほど優れていることになる。また、van der Pauw法によるHall測定により2DEGのシートキャリア濃度N_s、Hall移動度μを求め、図11の従来構造A、Bとの相対評価を行った。こちらはN_sとμの積が大きいほど特性として優れている。

【0066】表1に、GaInNAs系HEMTエピタキシャルウェハのC-V測定並びにHall測定の結果を示す。表1、表2に実施例A～Fとして示すエピタキシャルウェハの積層構造は、図7～図9に(a)～

(f)として示した積層構造A～Fと対応している。なお、従来例A、Bは、比較のため、図11(a)、(b)に示す従来より用いられているエピタキシャルウェハの積層構造を示す。

【0067】本実施例の積層構造A～Fでは、ヘテロ界面に現れる2DEGピークの最大キャリア濃度N_{peak}と、2DEGのシートキャリア濃度N_sについて、いずれも従来構造(従来例A、B)の場合を大きくしのぐ結果を得た。本実施例では、必ずしも最適な条件まで積層構造A～Fのエピタキシャル成長条件を改善できていないので、その潜在能力は更に高いと思われる。Hall移動度μについても、成長条件の最適化により更に増すことができると考えている。

【0068】次に、図8(d)に示す積層構造DのGaInAs系HEMTエピタキシャルウェハにおいて、その補助的なチャネル層である $\text{In}_x\text{Ga}_{1-x}\text{As}$ 層15のInAs混晶比 x について検討した。表2に、この補助的なチャネル層である $\text{In}_x\text{Ga}_{1-x}\text{As}$ 層15のInAs混晶比 x を $x=0.15$ から 0.05 ずつ $x=0.35$ まで変えたときのHall測定の結果を示す。

その変化はそれほど大きくないが、InAs混晶比25%より改善の効果が現れている。勿論、従来例Aの積層構造と比較すれば、本実施例Dの積層構造のエピタキシャルウェハは全て大きく改善されている。

【0069】

【表1】

エビ構造	$N_{\text{peak}}(\text{cm}^{-3})$	$N_s(\text{cm}^{-2})$	$N_s(\text{cm}^{-2})$
従来例A	2.4×10^{18}	2.0×10^{12}	7000
従来例B	2.7×10^{18}	2.2×10^{12}	6500
実施例A	5.4×10^{18}	4.5×10^{12}	5800
実施例B	5.8×10^{18}	4.8×10^{12}	5500
実施例C	1.0×10^{19}	8.0×10^{12}	6200
実施例E	5.4×10^{18}	4.5×10^{12}	6200
実施例F	5.0×10^{18}	5.0×10^{12}	6500

【0070】

【表2】

エビ構造	InAs混晶比 x	$N_{\text{peak}}(\text{cm}^{-3})$	$N_s(\text{cm}^{-2})$	$\mu(\text{cm}^2/\text{Vs})$
従来例A	—	2.4×10^{18}	2.0×10^{12}	7000
実施例D	0.15	5.1×10^{18}	4.2×10^{12}	6200
	0.20	5.1×10^{18}	4.3×10^{12}	6200
	0.25	5.4×10^{18}	4.5×10^{12}	6800
	0.30	5.5×10^{18}	4.6×10^{12}	6800
	0.35	6.0×10^{18}	4.8×10^{12}	6800

【0071】上記のように、本実施例の積層構造A～Fにより、2DEG特性を大幅に改善できることが判った。

【0072】その最適条件は、InGaAsのInAs混晶比については前述の通りInAs混晶比25%より改善の効果が現れる。しかし、第2の半導体(AlGaInNPA s)の混晶比については、直接的な混晶比決定手段がなく、格子整合度についてはX線回折や表面状態から判断した。スードモフィック状態についても、やはり、X線回折や表面状態から判断した。

【0073】本実施形態及び実施例のGaInAs系エピタキシャルウェハ及びこれを用いたHEMTは、従来のPHEMTやDHHEMTの特性を大幅に向上できる可能性を秘めている。即ち、GaInAs系HEMTが実現し、マイクロ波領域での低雑音増幅が可能となることで、特に高緯度地域での衛生放送・衛生通信受信のアンテナが小型化し、車載や船舶への搭載が進む。また、ミリ波領域での低雑音化が可能になれば、レーダーや自動料金徴収システムなどへのミリ波帯の利用促進につながる。

【0074】

【発明の効果】以上説明したように本発明によれば、G

aInAs系HEMTが実現し、マイクロ波領域でより低雑音増幅が可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係るGaInAs系エピタキシャルウェハの断面図である。

【図2】本発明の第2の実施形態に係るGaInAs系エピタキシャルウェハの断面図である。

【図3】本発明の第3の実施形態に係るGaInAs系エピタキシャルウェハの断面図である。

【図4】本発明の第4の実施形態に係るGaInAs系エピタキシャルウェハの断面図である。

【図5】本発明の第5の実施形態に係るGaInAs系エピタキシャルウェハの断面図である。

【図6】本発明の第6の実施形態に係るGaInAs系エピタキシャルウェハの断面図である。

【図7】本発明のGaInAs系エピタキシャルウェハの実施例を示したもので、(a)は実施例Aに係る積層構造の断面図、(b)は実施例Bに係る積層構造の断面図である。

【図8】本発明のGaInAs系エピタキシャルウェハの実施例を示したもので、(c)は実施例Cに係る積層構造の断面図、(d)は実施例Dに係る積層構造の断

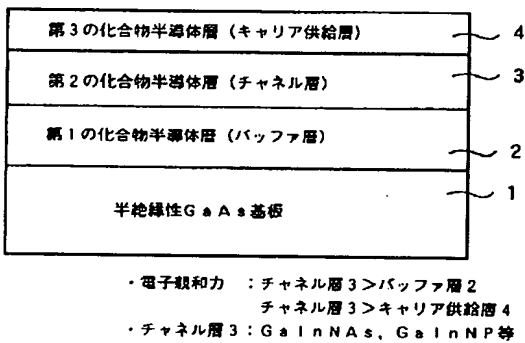
面図である。

【図9】本発明のGaInNAs系エピタキシャルウェハの実施例を示したもので、(e)は実施例Eに係る積層構造の断面図、(f)は実施例Fに係る積層構造の断面図である。

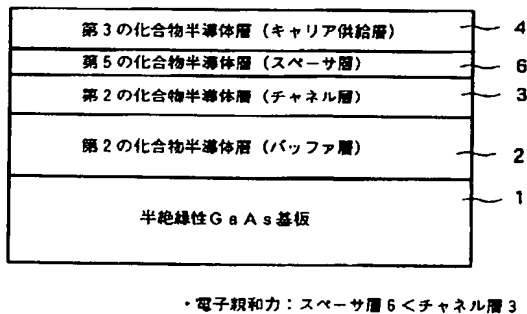
【図10】図7(a)のエピタキシャルウェハを使用したGaInNAs系HEMTの断面構造図である。

【図11】従来のHEMTエピタキシャルウェハを示したもので、(a)は従来使用されているAlGaAs系HEMTエピタキシャルウェハの断面構造（従来例Aの構造）を示す図、(b)は従来使用されているGaIn

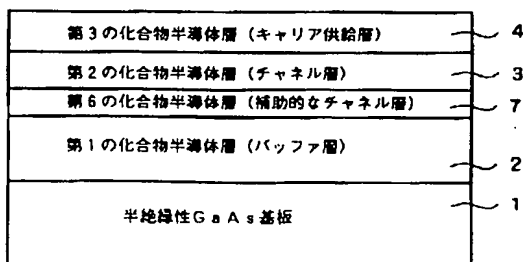
【図1】



【図3】



【図5】

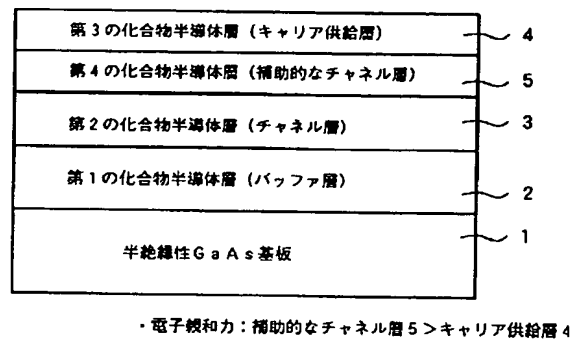


P系HEMTエピタキシャルウェハの断面構造（従来例Bの構造）を示す図である。

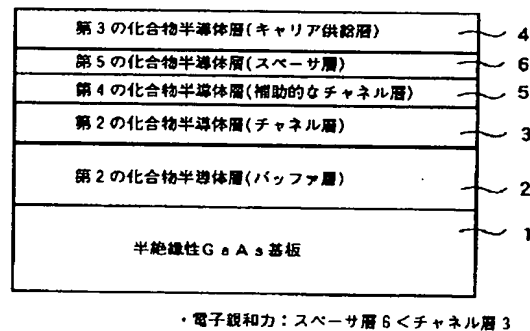
【符号の説明】

- 1 半絶縁性GaAs基板
- 2 第1の化合物半導体層（バッファ層）
- 3 第2の化合物半導体層（チャネル層）
- 4 第3の化合物半導体層（キャリア供給層）
- 5 第4の化合物半導体層（補助的なチャネル層）
- 6 第5の化合物半導体層（スペーサ層）
- 7 第6の化合物半導体層（補助的なチャネル層）

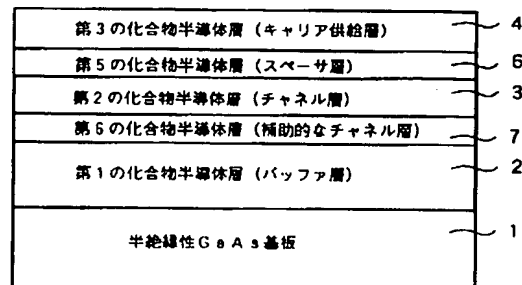
【図2】



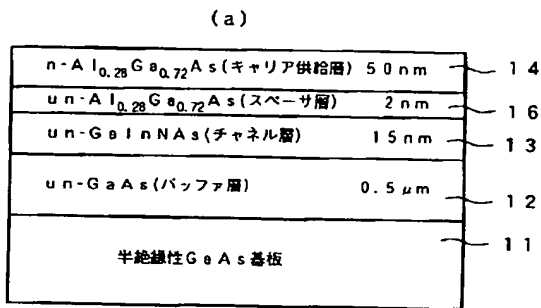
【図4】



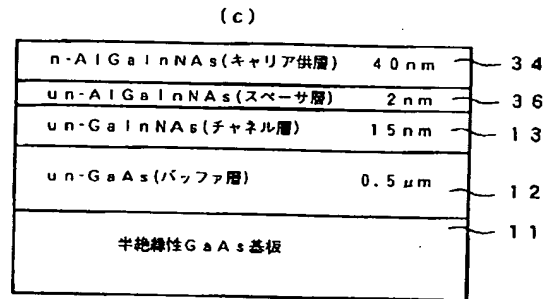
【図6】



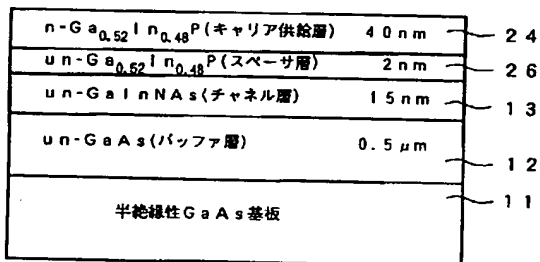
【図 7】



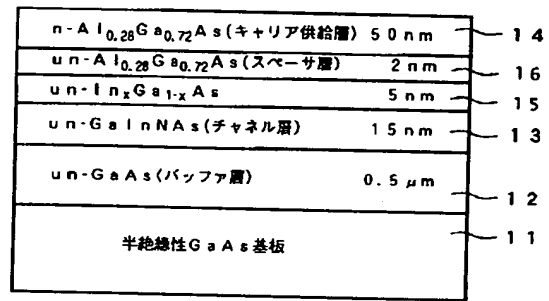
【図 8】



(b)

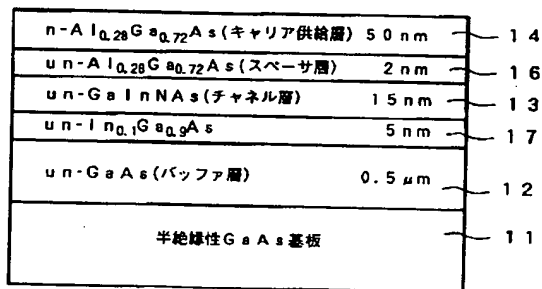


(d)

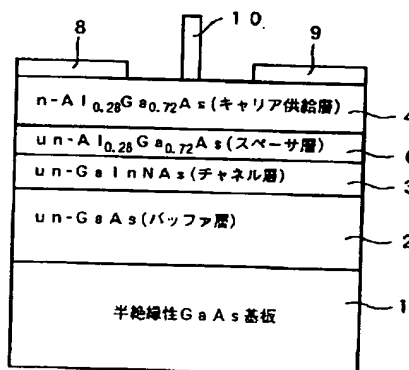


【図 9】

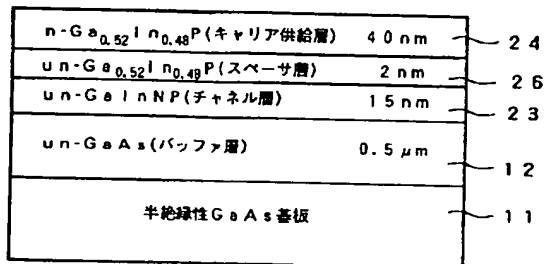
(e)



【図 10】



(f)



【図11】

(a)

n-A _{0.28} Ga _{0.72} As(キャリア供給層)	50nm	44
un-A _{0.28} Ga _{0.72} As(スペーサ層)	2nm	46
un-I _{0.20} Ga _{0.80} As(チャネル層)	15nm	43
un-GaAs(バッファ層)	0.5μm	42
半絶縁性GaAs基板		41

(b)

n-Ga _{0.52} In _{0.48} P(キャリア供給層)	40nm	54
un-Ga _{0.52} In _{0.48} P(スペーサ層)	2nm	56
un-I _{0.20} Ga _{0.80} As(チャネル層)	15nm	43
un-GaAs(バッファ層)	0.5μm	42
半絶縁性GaAs基板		41

THIS PAGE BLANK (USPTO)